

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-281351

(43)Date of publication of application : 11.12.1986

(51)Int.Cl.

G06F 15/06
G06K 19/00
G11C 17/00

(21)Application number : 60-122762

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 07.06.1985

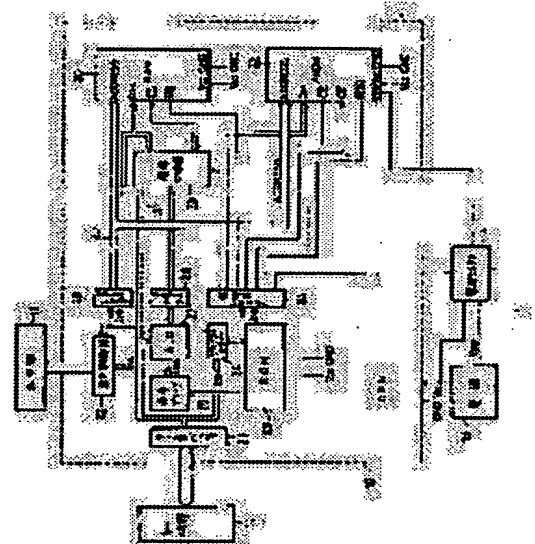
(72)Inventor : IIDA SHIGERU

(54) SMALL-SIZED INFORMATION PROCESSING UNIT INCORPORATING PROM

(57)Abstract:

PURPOSE: To execute easily write on a PROM by providing a CPU which has contained the PROM, and utilizing a control function of this CPU, an information input function of a key input part which has been connected to this CPU, and a display function of a display part which has been connected to this CPU.

CONSTITUTION: A CPU 10 is provided with a key input buffer for storing temporarily information from a key input part 11, a display control part 22 for controlling a display part 12, a program ROM 23, a program counter 24, an instruction decoder 25, an accumulator 26, an ALU 27, an address register 28, and a RAM 30, etc. The RAM 30 is used for arithmetic and for storing the information. Also, the RAM 30 is used as a buffer for storing write information, as well, when writing the information on a PROM 32, and when executing a verification after write has been ended. An input/output port of the RAM 30 is connected to a data bus 31 together with the key input buffer 21, the display control part 22 and the ALU 27.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 昭61-281351

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)12月11日

G 06 F 15/06

7343-5B

G 06 K 19/00

6711-5B

G 11 C 17/00

6549-5B

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 PROM内蔵小型情報処理機器

⑮ 特 願 昭60-122762

⑯ 出 願 昭60(1985)6月7日

⑰ 発 明 者 飯 田 茂 東京都西多摩郡羽村町栄町3丁目2番1号 カシオ計算機株式会社羽村技術センター内

⑱ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

⑲ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

PROM内蔵小型情報処理機器

2. 特許請求の範囲

画面表示を行なう表示部および各種情報の入力を行なうキー入力部がCPUに接続された小型情報処理機器において、

上記CPUに設けられ、

少なくとも上記キー入力部からの入力情報を格納するRAMと、このRAMの指定領域内の情報を格納するPROMと、このPROMおよび上記RAMの書き込み/読出しを制御する書き込み/読出し制御手段と、

上記書き込み/読出し制御手段の指示に従い書き込み用電源電圧またはロジック電源電圧のいずれか一方を上記PROMの書き込み用電源端子に供給する電源選択手段と、

を具備し、

上記書き込み/読出し制御手段が、

上記キー入力部からの上記PROMへの書き込み

情報を上記RAMに一時格納する手段と、上記RAMの格納情報を上記表示部への表示用に読出す手段と、上記PROMの特定領域に特定パターンが書込まれているか否かを判定する手段と、上記PROMの特定領域に特定パターンが書込まれていない場合に同特定領域に同特定パターンを書込むと共に、上記RAMに格納されている上記PROMへの書き込み情報を上記RAMから読出して上記PROMに書込む手段と、
を備えていることを特徴とするPROM内蔵小型情報処理機器。

3. 発明の詳細な説明

[発明の技術分野]

この発明は、ユーザーからの情報を格納するPROMをCPU内に内蔵したPROM内蔵小型情報処理機器に関する。

[従来技術とその問題点]

PROMは、その不揮発性の故に、従来よりマイクロコンピュータのプログラム開発用ツール、更にはIDカードの構成要素として適用されてい

る。この種の装置におけるPROMへの書込みは、外部に設けられる特別の書込み装置により行なわれるのが一般的であり、PROMを内蔵したCPUを備え、同CPUおよびその周辺装置の有する各種機能を効率的に使用してPROMへの書込みを行なうようにした情報処理機器はこれまで知られていなかった。

〔発明の目的〕

したがってこの発明は、PROMを内蔵したCPUを設け、同CPUの制御機能、同CPUに接続されるキー入力部の情報入力機能、および同CPUに接続される表示部の表示機能により、PROMへの書込みが特別の装置を外部に設けることなく簡単且つ確実に行なえるPROM内蔵小型情報処理機器を提供することにある。

〔発明の要点〕

この発明では、少なくともキー入力部からの入力情報を格納するRAMと、このRAMの指定領域内の情報を格納するPROMと、このPROMおよび上記RAMの書込み／読出しを制御する書

込み／読出し制御手段とがCPU内に設けられる。

更にこの発明では、上記書込み／読出し制御手段の指示に従って書込み用電源電圧またはロジック電源電圧のいずれか一方を上記PROMの書込み用電源端子に供給する電源選択手段が設けられる。

上記書込み／読出し制御手段は、CPUに接続されているキー入力部からのPROMへの書込み情報をRAMに一時格納する手段と、RAMの格納情報をCPUに接続されている表示部への表示用（格納情報確認のための表示用）に読出す手段と、PROMの特定領域に再書込み禁止（消去禁止）指定用の特定パターンが書込まれているか否かを判定する手段と、PROMの特定領域に特定パターンが書込まれていない場合に同特定領域に同特定パターンを書込むと共に、RAMに格納されているPROMへの書込み情報をRAMから読出してPROMに書込む手段とを備えている。

〔発明の実施例〕

以下、この発明の一実施例を図面を参照して説

明する。

第1図はPROM内蔵小型情報処理機器の構成を示す。同図において、10はCPUである。CPU 10には、キー入力部11、表示部12、ロジック電源電圧 V_{cc} 並びにPROM書込み用電源電圧 V_{pp} を発生する電源13、および電源電圧 V_{cc} または電源電圧 V_{pp} のいずれか一方をCPU 10（内の後述する制御用レジスタ34）からの指示に応じて選択するアナログ回路構成の電源セクタ14が接続されている。この実施例において、電源電圧 V_{cc} は5V、電源電圧 V_{pp} は21Vである。

CPU 10は、キー入力部11からの入力情報を一時記憶するキー入力バッファ21、表示部12を制御する表示制御部22、各種プログラムが格納されているプログラムROM 23、このプログラムROM 23のアドレスを指定するプログラムカウンタ24、プログラムROM 23から読出される命令をデコードする命令デコーダ25、アキュムレータ26、ALU 27、アドレスレジスタ28、および同レジスタ28によりアドレスライン29経由でアドレス指定され

るRAM 30などの回路構成を有している。RAM 30は演算用並びに情報記憶用に用いられる。またRAM 30は、後述するPROM 32への情報書込み時、並びに書込み終了後のペリファイ時には、書込み情報を貯えておくバッファとしても用いられる。RAM 30の入出力ポート(D1～4)はキー入力バッファ21、表示制御部22およびALU 27と共に内部データバス31に接続されている。

この実施例において、CPU 10は、アドレスレジスタ28により（RAM 30と共通に）アドレス指定される、例えばEPROM或はEEPROMなどのPROM 32も有している。またCPU 10は、内部データバス31とアキュムレータ26との接続、またはPROM 32の入出力ポートD1～4とアキュムレータ26との接続の切換えを行なう接続切換器33と、主としてRAM 30およびPROM 32の書込み／読出しに関する各種モードを設定する制御用レジスタ34を更に有している。制御用レジスタ34は、RAM 30の \overline{CS} （チップセレクト）並びに \overline{WE} （ライトイネーブル）端子と、PROM 32の

\overline{CE} (チップイネーブル)、 \overline{OE} (アウトプットイネーブル) 並びに \overline{PGM} (プログラム) 端子と、接続切換器33と、電源セレクト14とにビット対応で接続される。この実施例において制御用レジスタ34で設定可能なモードは、モード1乃至モード4の4種類である。モード1はRAM30だけを使用するPROM32不使用状態を指定し、モード2はPROM32リードを指定する。またモード3はRAM30からデータを読出してRAM30に書込むPROM32ライトを指定し、モード4はPROM32に書込まれたデータをRAM30の原データに基づいてチェックするPROM32ベリファイを指定する。制御用レジスタ34のモード毎の具体的な設定内容は第2図に示す通りである。なお第2図において、HはHighレベル、LはLowレベル、Zはハイインピーダンス、Iはデータ入力、Oはデータ出力を示す。

次に上記した構成の動作を、PROM32に所望の情報を書込む場合を例にとり第3図のフローチャートを参照して説明する。

りデータ入力(書込み)が指定されると、RAM30の \overline{WE} 入力を設定する制御用レジスタ34の特定ビットが(命令デコーダ25のデコード出力に応じて)L(Low)レベルとなってライト・モードが指定され、RAM30へのデータ書込みが可能となる。そこでこの実施例では、PROM32への書込みを必要とするデータをキー入力部11から逐次入力し、一旦RAM30に書込む(ステップS2)。この際のRAM30の書込み領域は、PROM32のそれと一致するように指定される。またRAM30に書込まれたデータは、キー入力部11からのキー操作による指定により表示部12に表示することができる。即ちキー入力部11によりRAM30の内容の画面表示が指定されると、RAM30の \overline{WE} 入力を設定する制御用レジスタ34の特定ビットがH(High)レベルとなってリード・モードが指定される。この状態でアドレスレジスタ28が制御されると、RAM30に書込まれたデータが順次アドレスライン29に読出され、表示制御部22に転送される。しかして表示制御部22の制御により、R

まず、キー入力部11をキー操作してモード1を指令する(ステップS1)。この指令情報はキー入力バッファ21に取込まれて内部データバス31に出力される。接続切換器33は通常状態において、アキュムレータ26を内部データバス31に接続している。しかして内部データバス31上の情報はアキュムレータ26に取込まれ、ALU27に入力される。そしてALU27での演算により情報が判別(命令、数値データの判別)される。この判別結果によりプログラムカウンタ24が制御され、同カウンタ24からプログラムROM23に対し、対応する(プログラムROM23内)プログラムの先頭アドレスが生成出力される。これによりプログラムROM23から対応する命令が読出される。命令デコーダ25はプログラムROM23からの命令をデコードし、制御用レジスタ34にモード1指定用のデータを設定する。

モード1では、第2図に示すように、RAM30およびPROM32のうちRAM30だけが選択される。この状態でキー入力部11からのキー操作によ

AM30からのデータの表示部12への画面表示が行なわれる。これによりRAM30に書込まれたデータの目視による確認が行なえる(ステップS3)。なおRAM30に書込まれたデータの画面表示は、RAM30に書込む毎に自動的に行なうことも可能である。

さてRAM30への書込みデータを確認すると、キー入力部11をキー操作してモード2を指令する(ステップS4)。この指令により制御用レジスタ34にはモード2指定用のデータが設定される。モード2では、第2図に示すように、RAM30およびPROM32のうちPROM32だけが選択され、且つPROM32がリード・モードに設定される。そしてプログラムROM23内のプログラムの指定によりPROM32の特定領域(たとえば先頭アドレス、最終アドレスなど)がリードアクセスされる(ステップS5)。しかしてPROM32の特定領域からデータが読出され接続切換器33に供給される。モード2では、アキュムレータ26をPROM32の入出力ポートに接続しており、これにより

PROM 32からのデータは接続切換器33を介してアキュムレータ26に供給され、同アキュムレータ26によりALU 27に供給される。そしてALU 27での演算により、PROM 32からのデータが第1の所定データ、例えば全ビットがいずれもHレベル(オール“1”)であるかが判別される(ステップS6)。

もし、第1の所定データでなければ、既にPROM 32にデータが書込まれており(即ち再書込みであり)書込み無効であるものと判断される。これは、PROM 32の各アドレス領域のデータが未書込み状態において全てHレベルとなっており、且つこの実施例ではPROM 32への書込み時には上記特定領域に(第1の所定データと異なる)第2の所定データを書込むようになっていることによる。そして書込み無効(再書込み)が判断された場合には、対応するプログラム処理によりその旨が表示部12に表示される(ステップS7)。

これに対し、第1の所定データである場合には、PROM 32が未書込み状態にあり書込み有効であ

るものと判断される。この場合には、対応するプログラム処理により制御用レジスタ34にモード3指定用のデータが設定される(ステップS8)。

モード3では、第2図に示すように、RAM 30はリード・モードに、PROM 32はライト・モードにそれぞれ設定される。PROM 32がライト・モードの場合、電源セレクト14は制御用レジスタ34の特定ビットの指示により、(電源13からの電源電圧V_{cc}または電源電圧V_{pp}のうちの)電源電圧V_{pp}をPROM 32の書込み用電源端子(V_{pp}端子)に選択的に供給する。この状態において、まずPROM 32の上記特定領域(これを再書込み防止用領域と呼ぶ)に、第2の所定データ、例えば全ビットがいずれもLレベル(オール“0”)のデータが再書込み防止のために書込まれる(ステップS9)。次にRAM 30からPROM 32へのデータ転送が行なわれる(ステップS10)。このデータ転送においては、接続切換器33はアキュムレータ26を内部データバス31およびPROM 32に交互に切換え接続する。まずアドレスレジスタ28の

示すRAM 30のアドレス領域から読出されるデータは、アキュムレータ26が内部データバス31に接続されている期間において、内部データバス31、接続切換器33を介してアキュムレータ26に供給され、同アキュムレータ26にラッチされる。そしてアキュムレータ26にラッチされたデータは、アキュムレータ26がPROM 32に接続されている次の期間において、接続切換器33を介してPROM 32(の入出力ポート)に供給され、同データのRAM 30内格納アドレスと同じPROM 32のアドレス領域に書込まれる。そして以上の動作をアドレスレジスタ28の内容を更新しながら繰返し行なうことによりRAM 30内の所望領域のデータをPROM 32に書込むことができる。

PROM 32へのデータ書込みが終了すると、制御用レジスタ34にモード4指定用のデータが設定される(ステップS11)。モード4では、第2図に示すように、RAM 30およびPROM 32は共にリード・モードに設定される。また接続切換器33により、アキュムレータ26はPROM 32(の入出

力ポート)に接続される。PROM 32がリード・モードの場合、電源セレクト14は制御用レジスタ34の特定ビットの指示により、(電源13からの電源電圧V_{cc}または電源電圧V_{pp}のうちの)電源電圧V_{cc}をPROM 32のV_{pp}端子に選択的に供給する。この状態において、アドレスレジスタ28の示すPROM 32のアドレスから読出されるデータは、接続切換器33を介してアキュムレータ26に供給され、同アキュムレータ26にラッチされる。アキュムレータ26にラッチされたデータはALU 27に供給される。一方、アドレスレジスタ28の示すRAM 30のアドレスから読出されるデータは、内部データバス31を介してALU 27に供給される。そして、アキュムレータ26の内容であるPROM 32からの読出しデータとRAM 30からの読出しデータとがALU 27において比較され、一致の有無が調べられる(ステップS12)。そして、不一致が判定された場合には、PROM 32の不良または機器の故障と判断され、表示部12にその旨が表示される(ステップS7)。そして以上の動作をアドレ

レジスタ28の内容を更新しながら繰返し行なうことにより(モード3において)PROM32に書込まれた全データのチェック(ベリファイ)を行なうことができる(ステップS13)。なお、PROM32の上記再書き込み防止用領域のデータについては、第2の所定データとの比較が行なわれる。

以上により、CPU10の制御機能、同CPU10に接続されるキー入力部11の情報入力機能、および同CPU10に接続される表示部12の表示機能により、PROM32へのデータ書き込みとそのベリファイが効率的に行なえる。そしてPROM32へのデータ書き込みとベリファイが正しく行なわれた後は、必要があれば第1図の機器をモード2に設定することによりPROM32のデータを自由に使用することができる。

[発明の効果]

この発明によれば、次に示す特有の作用効果を奏することができる。

① 機器が本来有しているキー入力部をユーザーが操作することにより、外部に特別の装置を設

けなくとも、CPU内部のPROMにユーザー自身が任意の情報を記録することができる。

② キー入力部を操作することで入力されるPROMへの書き込みデータを一旦RAMに入力し、その入力データを表示部に表示するようにしているため、PROMへの書き込み前に該当データの保証ができる。またRAMのデータを用いることにより、PROMへの書き込み前にシュミレーションを行なうことが可能となる。

③ PROMへの2重書き込みが防止できるので、一旦書込んだ情報が不用意に失われる恐れがない。またこの種情報は、停電、或は電池の消耗によっても失われることはない。

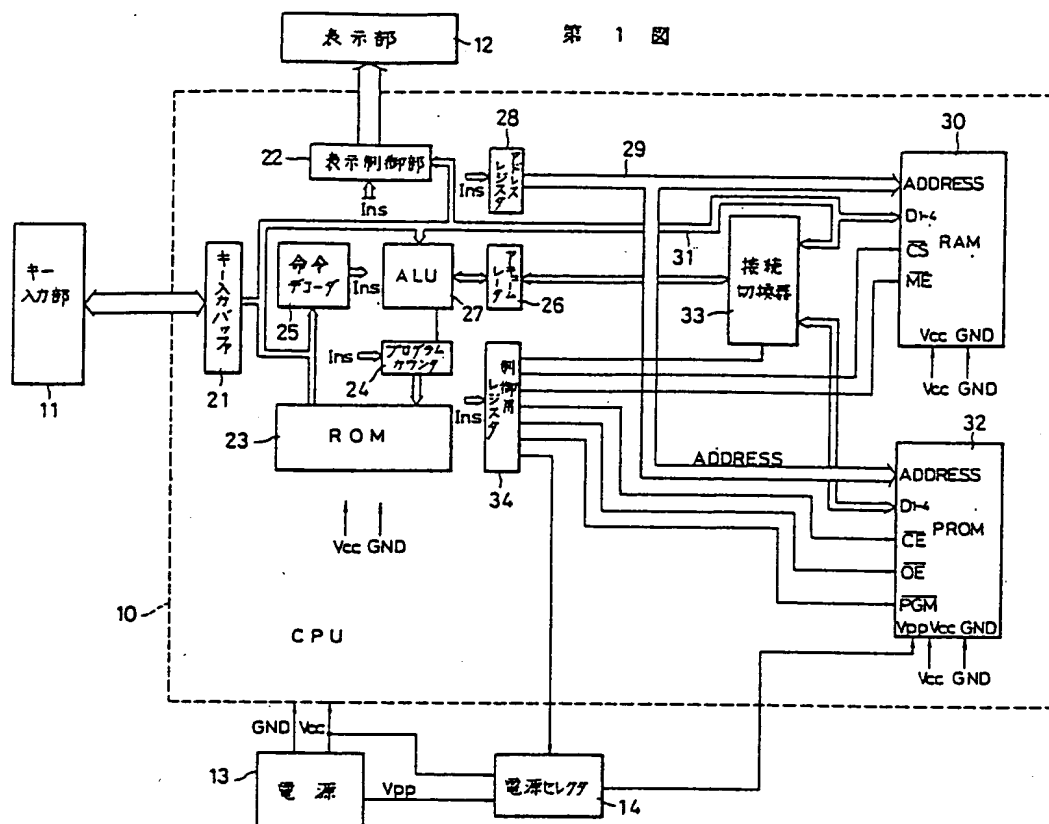
④ 蛍光表示管等、高電圧を必要とする表示部を用いている場合には、表示用電源とPROM書き込み用電源とを共用することが可能である。更に表示の負荷抵抗をCPUに内蔵した場合には、CPUの電源用端子を1本(但しロジック電源は別)にすることができる。

4. 図面の簡単な説明

第1図はこの発明の一実施例を示すPROM内蔵小型情報処理機器のブロック構成図、第2図は第1図の制御用レジスタ34の各モード毎の設定内容を示す図、第3図は第1図のPROM32へのデータ書き込みの手順を説明するフローチャートである。

10…CPU、11…キー入力部、12…表示部、14…電源セクタ、23…プログラムROM、27…ALU、30…RAM、32…PROM、34…制御用レジスタ。

出願人代理人 弁理士 鈴江武彦



第 2 図

モード		RAM		PROM				RAM	PROM	データ セレクト
		\overline{CS}	\overline{WE}	\overline{CE}	\overline{OE}	\overline{PGM}	V_{pp}	D1-4	D1-4	
1	PROM不使用時	L	L/H	H	X	X	V_{cc}	I/O	Z	RAM
2	PROMリード時	H	L/H	L	L	H	V_{cc}	Z	0	PROM
3	PROMライト時	L	H	L	H	L	V_{pp}	0	1	PROM RAM
4	PROMバリエ時	L	H	L	L	H	V_{cc}	0	0	PROM RAM

第 3 図

